

Студијски програм: ОАС РСИ			
Назив предмета: Функционална верификација дигиталних система			
Наставник/наставници: Урош М. Пешовић, Вукашин Д. Полић			
Статус предмета: изборни			
Број ЕСПБ: 6			
Услов: нема			
Циљ предмета			
Циљ предмета је овладавање савременим методологијама за верификацију сложених дигиталних система.			
Исход предмета			
Разумевање односа између верификације и дизајна. Познавање структуре и компоненти које чине верификационо окружење. Способност израде верификационог окружења за верификацију задатог дигиталног система. Познавање УВМ методологије и могућност развоја савремених UVM верификационих окружења коришћењем SystemVerilog језика			
Садржај предмета			
<i>Теоријска настава</i>			
Процес пројектовања, дизајна израде и тестирања дигиталних система. Однос верификације и дизајна. Формална и функционална верификација. Објектно оријентисани аспекти SystemVerilog језика. Генерисање случајног тест вектора и ограничавање опсега дозвољених вредности. Структура и компоненте верификационог окружења . Референтни модела. Кодна и функционална покривеност. UVM методологија.			
<i>Практична настава</i>			
Израда практичних задатака коришћењем алата за пројектовање. Моделирање кола коришћењем VHDL и SystemC језика.			
Литература			
[1] Petković, Predrag M, VHDL i VHDL-AMS podrška projektovanju elektronskih kola i sistema, Elektronski fakultet Niš, 2009, ISBN - 978-86-85195-85-3			
Број часова активне наставе: 5		Теоријска настава:3	Практична настава: 2
Методe извођења наставе			
Реализација предавања по моделу интерактивне наставе уз коришћење метода практичног рада.			
Оцена знања (максимални број поена 100)			
Предиспитне обавезе	поена	Завршни испит	поена
Активност у току предавања		Писмени испит	20
Практична настава		Усмени испит	20
Колоквијум-и	40		
Семинар-и	20		