

<b>Студијски програм: ОАС РСИ</b>			
<b>Назив предмета: Пројектовање дигиталних система</b>			
<b>Наставник/наставници: Вања В. Луковић, Вукашин Д. Полић</b>			
<b>Статус предмета: изборни</b>			
<b>Број ЕСПБ: 6</b>			
<b>Услов: Основи рачунарске технике, Логичко пројектовање рачунара</b>			
<b>Циљ предмета</b>			
Упознавање са основним компонентама FPGA интегрисаног кола. Упознавање са савременим приступима пројектовања дигиталних кола и система коришћењем FPGA интегрисаног кола: шематски приступ и приступ који се базира на коришћењу HDL језика (Verilog и VHDL); детаљније упознавање са Verilog језиком за описивање хардвера; упознавање са алатима за моделирање хардвера; упознавање са савременим методологијама пројектовања на принципима ASIC (Application Specific Integrated Circuit) и SoC (System on Chip).			
<b>Исход предмета</b>			
Студент може разумети принципе пројектовања савремених дигиталних кола и система; познаје методологију пројектовања дигиталних кола и система; познаје језике за описивање хардвера и може да пише моделе једноставних дигиталних система коришћењем Verilog језика; може да користи алате за пројектовање (Xilinx ISE Design Suite) и симулацију програмских модела дигиталних кола (ISim, ModelSim).			
<b>Садржај предмета</b>			
<i>Теоријска настава</i>			
Увод у пројектовање дигиталних система. Језици за описивање хардвера. Комбинационе и секвенцијалне мреже. Стратегије при пројектовању. Пројектовање подсистема. Аритметички блокови. Регистри и меморије. Технике тестирања кола. Принципи пројектовања са аспекта тестирања. Технике самотестирања.			
<i>Практична настава</i>			
Израда практичних задатака коришћењем алата за пројектовање. Моделирање дигиталних система и кола коришћењем Verilog језика. Употреба удаљеног експеримента „Nexys4 DDR FPGA platforma“ за пројектовање дигиталних система коришћењем Verilog језика.			
<b>Литература</b>			
[1] Вања Луковић, Александар Пеулић, Ђорђе Дамњановић, Радојка Крнета, Приручник за пројектовање дигиталних мрежа коришћењем FPGA интегрисаног кола са примерима, Универзитет у Крагујевцу, Факултет техничких наука у Чачку, бр. стр. 73, ISBN 978-86-7776-212-4, Чачак, март 2017			
[2] Samir Palnitkar, Verilog HDL: A Guide to Digital Design and Synthesis, Second Edition, Prentice Hall PTR, 2003 ISBN: 0-13-044911-3			
[3] John M. Williams, Digital VLSI Design with Verilog, Springer, 2014, ISBN 978-3-319-04788-1			
[4] Meher Krishna Patel, FPGA designs with Verilog and SystemVerilog, <a href="https://buildmedia.readthedocs.org/media/pdf/verilogguide/latest/verilogguide.pdf">https://buildmedia.readthedocs.org/media/pdf/verilogguide/latest/verilogguide.pdf</a>			
[5] R.C. Cofer, Benjamin F. Harding, Rapid System Prototyping with FPGAs, Elsevier, 2006, ISBN-13: 978-0-7506-7866-7			
<b>Број часова активне наставе: 4</b>		<b>Теоријска настава: 2</b>	<b>Практична настава: 2</b>
<b>Методe извођења наставе</b>			
Реализација предавања по моделу интерактивне наставе уз коришћење метода практичног рада.			
<b>Оцена знања (максимални број поена 100)</b>			
<b>Предиспитне обавезе</b>	поена	<b>Завршни испит</b>	поена
Активност у току предавања	5	Писмени испит	20
Практична настава	15	Усмени испит	20
Колоквијум-и	20		
Семинар-и	20		